

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年12月25日

出 願 番 号
Application Number:

特願2002-373426

[ST.10/C]:

[JP 2002-373426]

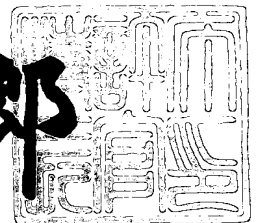
出 願 人
Applicant(s):

沖電気工業株式会社

2003年 5月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3039740

【書類名】 特許願

【整理番号】 TA000190

【提出日】 平成14年12月25日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/786

【発明者】

 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

 【氏名】 梶田 陽子

【特許出願人】

 【識別番号】 000000295

 【氏名又は名称】 沖電気工業株式会社

【代理人】

 【識別番号】 100079049

 【弁理士】

 【氏名又は名称】 中島 淳

 【電話番号】 03-3357-5171

【選任した代理人】

 【識別番号】 100084995

 【弁理士】

 【氏名又は名称】 加藤 和詳

 【電話番号】 03-3357-5171

【選任した代理人】

 【識別番号】 100085279

 【弁理士】

 【氏名又は名称】 西元 勝一

 【電話番号】 03-3357-5171

【選任した代理人】

 【識別番号】 100099025

【弁理士】

【氏名又は名称】 福田 浩志

【電話番号】 03-3357-5171

【手数料の表示】

【予納台帳番号】 006839

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9714945

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 埋め込み酸化膜を介してシリコン膜が積層された半導体基板を有する半導体装置の製造方法であって、

前記シリコン膜上に第 1 絶縁膜を成膜する工程と、

前記第 1 絶縁膜に開口を設け、前記シリコン膜の一部を露出する工程と、

前記開口内壁に、エッチング選択比が前記第 1 絶縁膜とは異なる第 2 絶縁膜を成膜する工程と、

前記第 2 絶縁膜が内壁に形成された前記開口から露出している前記シリコン膜表面に酸化処理を施し、前記シリコン膜を薄膜化する工程と、

前記開口を埋め込むように導電膜を形成する工程と、

前記第 1 絶縁膜を除去し、前記導電膜と前記導電膜の側壁に形成された前記第 2 絶縁膜とを有するゲート電極を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 に記載の半導体装置の製造方法において、

前記第 1 絶縁膜が、前記第 2 絶縁膜よりもエッチング速度が速いエッチング選択比を有することを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 に記載の半導体装置の製造方法において、

前記第 1 絶縁膜が、シリコン酸化膜であることを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 に記載の半導体装置の製造方法において、

前記第 2 絶縁膜が、シリコン窒化膜であることを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1 に記載の半導体装置の製造方法において、

前記シリコン膜を薄膜化する工程は、前記開口から露出している前記シリコン膜表面に施された前記酸化処理により形成されたシリコン酸化膜を除去することにより行なわれることを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 1 に記載の半導体装置の製造方法において、

更に、前記ゲート電極をマスクとして、前記シリコン膜に不純物注入を行ない、前記シリコン膜に拡散層を形成することで、前記シリコン膜表面にM O S F E Tを形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 6 に記載の半導体装置の製造方法において、前記M O S F E Tは、完全空乏型であることを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 6 に記載の半導体装置の製造方法において、前記シリコン膜を薄膜化する工程により、前記ゲート電極が形成される領域の前記シリコン膜の膜厚が、前記拡散層が形成される領域の前記シリコン膜の膜厚よりも薄くなることを特徴とする半導体装置の製造方法。

【請求項 9】 埋め込み酸化膜を介してシリコン膜が積層された半導体基板を有する半導体装置の製造方法であって、

前記シリコン膜上に第 1 絶縁膜を成膜する工程と、

前記第 1 絶縁膜に開口を設け、前記シリコン膜の一部を露出する工程と、

前記開口内壁に、エッチング選択比が前記第 1 絶縁膜とは異なる第 2 絶縁膜を成膜する工程と、

前記第 2 絶縁膜が内壁に形成された前記開口から露出している前記シリコン膜表面に酸化処理を施し、前記シリコン膜を薄膜化する工程と、

前記酸化処理により前記開口内に形成されたシリコン酸化膜を除去する工程と、

前記開口内に形成されたシリコン酸化膜を除去した後、前記開口より露出したシリコン膜上に第 3 絶縁膜を形成する工程と、

前記開口内の前記第 3 絶縁膜上に、前記開口を埋め込むように導電膜を形成する工程と、

前記開口内壁に形成された前記第 2 絶縁膜と前記開口内に形成された前記第 3 絶縁膜と前記導電膜とを残して前記第 1 絶縁膜を除去して、前記第 3 絶縁膜上に前記導電膜と前記導電膜の側壁に形成された前記第 2 絶縁膜とを有するゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記シリコン膜に不純物注入を行ない、前記

シリコン膜に拡散層を形成することで、前記シリコン膜表面にM O S F E Tを形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 1 0】 請求項 9 に記載の半導体装置の製造方法において、
前記第 1 絶縁膜が、前記第 2 絶縁膜よりもエッチング速度が速いエッチング選択比を有することを特徴とする半導体装置の製造方法。

【請求項 1 1】 請求項 9 に記載の半導体装置の製造方法において、
前記第 1 絶縁膜が、シリコン酸化膜であることを特徴とする半導体装置の製造方法。

【請求項 1 2】 請求項 9 に記載の半導体装置の製造方法において、
前記第 2 絶縁膜が、シリコン窒化膜であることを特徴とする半導体装置の製造方法。

【請求項 1 3】 請求項 9 に記載の半導体装置の製造方法において、
前記M O S F E Tは、完全空乏型であることを特徴とする半導体装置の製造方法。

【請求項 1 4】 請求項 9 に記載の半導体装置の製造方法において、
前記第 3 絶縁膜を形成する工程は、熱酸化法により行なわれることを特徴とする半導体装置の製造方法。

【請求項 1 5】 請求項 9 に記載の半導体装置の製造方法において、
前記シリコン膜を薄膜化する工程により、前記ゲート電極が形成される領域の前記シリコン膜の膜厚が、前記拡散層が形成される領域の前記シリコン膜の膜厚よりも薄くなることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、S O I (S i l i c o n O n I n s u l a t o r) 基板を使用した半導体装置の製造方法に関する。

【 0 0 0 2 】

【従来の技術】

移動型通信機器の登場に伴い、半導体装置の開発に対する要求は、これまでの微細化に加え、近年、消費電力化が大きな課題となっている。このような背景から、サブミクロン以降の高駆動能力有するCMOS (Complementary Metal Oxide Semiconductor) 素子を、酸化膜（埋め込み酸化膜）で完全分離されてシリコン膜（SOI膜）が積層されているシリコン基板上に形成する、SOI技術が注目されている。SOI素子の優位性は、接合容量が小さいことに加えて、低ゲート電圧でのドレイン電流値の立ち上がりに優れていること、即ちS値が理想値に近くなることであるが、この特性を得るためにはSOI膜の薄膜化による完全空乏化が要求される。また、ゲート長の縮小に伴う短チャネル効果の抑制の観点からも、SOI膜の薄膜化が有利である。しかし、SOI膜の薄膜化は、同時に拡散層部分の高抵抗化及びコンタクト形成時の埋め込み酸化膜の突き抜けに対するマージンの縮小など、工程の不安定性につながる。そのため、SOI膜の膜厚は、ゲート下チャネル部分のみは薄く、拡散層部分は熱く、各々設定することがよい。

【0003】

このような要求に対して、例えば、特開平2001-257357には、SOI膜におけるゲート下チャネル部分のみ薄くした半導体装置及びその製造方法が開示されている。ここで、このような半導体装置の製造方法の一例を図面を用いて説明する。

【0004】

従来の半導体装置の製造方法では、まず、図2(a)に示すように、Box酸化膜114（埋め込み酸化膜）を介して、例えば厚さ100nmのSOI膜116（シリコン膜）が積層された半導体基板112（以下、SOI基板100という）を用意し、このSOI膜116上に、例えば10nmの熱酸化膜118を成膜し、さらに熱酸化膜118上にCVD法により例えば30nmの窒化膜120を成膜する。SOI膜116におけるチャネル領域となる部分が露出するように、ホトリソグラフィ処理・エッチング処理により、熱酸化膜118及び窒化膜120を除去して、開口パターン122を形成する。

【0005】

次に、図 2 (b) に示すように、熱酸化膜 1 1 8 及び窒化膜 1 2 0 をマスクとして S O I 膜 1 1 6 の露出部分を、熱酸化処理を施し、例えば 1 0 0 n m 相当の熱酸化膜 1 2 6 を形成すると共に、S O I 膜 1 1 6 のチャネル領域を薄膜化する。

【 0 0 0 6 】

次に、図 2 (c) に示すように、例えば熱リン酸、1 % フッ酸を用いたウェットエッチング処理をそれぞれ 2 0 分、1 8 分間施し、熱酸化膜 1 1 8、1 2 6 及び窒化膜 1 2 0 を除去する。これにより、S O I 膜 1 1 6 は、チャネル領域とそれ以外の領域（拡散層：ソース・ドレイン領域）とで、例えば 5 0 n m と 9 5 n m といった具合に膜厚の異なるものとなる。

【 0 0 0 7 】

次に、図 2 (d) に示すように、熱酸化処理を施し、例えば 1 0 n m のゲート酸化膜（ゲート絶縁膜）1 2 8 を形成する。S O I 膜 1 1 6 とゲート酸化膜 1 2 8 との界面に、イオン注入法により、チャネルイオン、例えば B イオンを注入し、チャネル領域 1 3 0 を形成する。そして、ゲート酸化膜 1 2 8 上に例えば C V D 法により、全面にポリシリコンを堆積し、ポリシリコン膜を例えば 2 0 0 n m 成膜した後、ホトリソグラフィ処理・エッチング処理を施し、ゲート電極 1 3 4 を形成する。

【 0 0 0 8 】

その後、ゲート電極 1 3 4 周囲の S O I 膜 1 1 6 に、例えば、注入角度 3 0 °、5 0 K e V、 5×10^{15} i o n s / c m ² の条件で砒素をイオン注入した後、例えば 1 0 0 0 °C の活性化アニール処理を施して、拡散層としてソース領域 1 3 6 およびドレイン領域 1 3 8 を自己整合的に形成する。次いで、ゲート電極 1 3 4、ソース領域 1 3 6、ドレイン領域 1 3 8 の表面に、例えば T i などをスパッタしてサリサイド化処理を施し、ゲートシリサイド領域 1 3 4 a、ソースシリサイド領域 1 3 6 a、ドレインシリサイド領域 1 3 8 a を形成する。

【 0 0 0 9 】

このようにして、S O I 基板 1 0 0 に半導体素子として F D （完全空乏）型 M O S F E T （P o w e r M e t a l O x i d e S e m i c o n d u c t o r

Field Effect Transistor) が形成される。

【0010】

【特許文献1】

特開平2001-257357

【0011】

【発明が解決しようとする課題】

しかしながら、上述のような半導体装置の製造方法では、先にチャネル領域130となる部分のSOI膜116を薄膜化させた後、マスクである熱酸化膜118及び窒化膜120を除去して、ゲート電極134を形成しているが、このとき、チャネル領域130のSOI膜116と、ゲート電極134との加工精度は、ホトリソグラフィー露光機の合わせ精度によって決められる。

【0012】

従って、ゲート電極134の下方に位置するSOI膜116を確実に薄膜化するためには、SOI膜116の薄膜領域を、予め所望のチャネル領域130に露光機の合わせ精度の2倍を加算した寸法に設定しておく必要が生じる。例えば、ゲート幅 $0.5\mu\text{m}$ のトランジスタを形成しようとするとき、使用する露光機の合わせ精度が $0.2\mu\text{m}$ であれば、SOI膜116の薄膜領域は $0.9\mu\text{m}$ にしておかなければならないことになる。

【0013】

この結果、チャネル領域130以外のSOI膜116領域も過剰に薄膜化されてしまい、拡散層（ソース・ドレイン領域）の抵抗上昇、電流パスの集中による抵抗上昇、シリコンとシリサイドとの間の接触面積不足による抵抗上昇、シリサイド化の際にシリコンの欠乏による欠陥の発生、などの問題が生じる。また、マスクである熱酸化膜118及び窒化膜120を除去した後、再び、ホトリソグラフィー処理・エッチング処理を経て、ゲート電極134を形成しているため、ゲート電極の位置ズレが生じる場合が多い。

【0014】

一方、特開平2001-257357に開示されている半導体装置の製造方法では、SOI膜上に形成された絶縁膜に開口部を設け、この開口部から露出する

S O I 膜面を酸化処理して自己整合的に薄膜化を施し、さらにこの開口部内にポリシリコンを埋め込むように成膜して自己整合的にゲート電極を形成しており、上述のようなチャネル領域以外の S O I 膜領域の過剰な薄膜化やゲート電極の位置ズレに伴う諸問題が生じることなくゲート電極を形成している。

【 0 0 1 5 】

しかしながら、この提案では、絶縁膜に設けた開口部にポリシリコンを埋め込むようにして成膜してゲート電極を形成した後、絶縁膜を除去しているため、エッチング処理によるゲート酸化膜へのダメージが生じ、電気的特性が劣化してしまうといった問題が生じる。

【 0 0 1 6 】

従って、本発明は、前記従来における諸問題を解決し、以下の目的を達成することを課題とする。即ち、本発明の目的は、少ない工程数で、シリコン膜領域の過剰な薄膜化やゲート電極の位置ズレに伴う諸問題が生じることなく、且つエッチング処理によるゲート絶縁膜（ゲート酸化膜）へのダメージを防止して、ゲート電極を形成することが可能な半導体装置の製造方法を提供することである。

【 0 0 1 7 】

【課題を解決するための手段】

上記課題は、以下の手段により解決される。

即ち、本発明の半導体装置の製造方法は、埋め込み酸化膜を介してシリコン膜が積層された半導体基板を有する半導体装置の製造方法であって、

前記シリコン膜上に第 1 絶縁膜を成膜する工程と、

前記第 1 絶縁膜に開口を設け、前記シリコン膜の一部を露出する工程と、

前記開口内壁に、エッチング選択比が前記第 1 絶縁膜とは異なる第 2 絶縁膜を成膜する工程と、

前記開口から露出している前記シリコン膜表面に酸化処理を施し、前記シリコン膜を薄膜化する工程と、

前記開口を埋め込むように導電膜を形成する工程と、

前記第 1 絶縁膜を、前記開口内壁に形成された第 2 絶縁膜を残して除去して、ゲート電極を形成する工程と、

を有することを特徴とする半導体装置の製造方法である。

【 0 0 1 8 】

また、本発明の半導体装置の製造方法は、埋め込み酸化膜を介してシリコン膜が積層された半導体基板を有する半導体装置の製造方法であって、

前記シリコン膜上に第 1 絶縁膜を成膜する工程と、

前記第 1 絶縁膜に開口を設け、前記シリコン膜の一部を露出する工程と、

前記開口内壁に、エッチング選択比が前記第 1 絶縁膜とは異なる第 2 絶縁膜を成膜する工程と、

前記第 2 絶縁膜が内壁に形成された前記開口から露出している前記シリコン膜表面に酸化処理を施し、前記シリコン膜を薄膜化する工程と、

前記酸化処理により前記開口内に形成されたシリコン酸化膜を除去する工程と、

前記開口内に形成されたシリコン酸化膜を除去した後、前記開口より露出したシリコン膜上に第 3 絶縁膜を形成する工程と、

前記開口内の前記第 3 絶縁膜上に、前記開口を埋め込むように導電膜を形成する工程と、

前記開口内壁に形成された前記第 2 絶縁膜と前記開口内に形成された前記第 3 絶縁膜と前記導電膜とを残して前記第 1 絶縁膜を除去して、前記第 3 絶縁膜上に前記導電膜と前記導電膜の側壁に形成された前記第 2 絶縁膜とを有するゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記シリコン膜に不純物注入を行ない、前記シリコン膜に拡散層を形成することで、前記シリコン膜表面に MOSFET を形成する工程と、

を有することを特徴とする半導体装置の製造方法である。

【 0 0 1 9 】

本発明の半導体装置の製造方法では、埋め込み酸化膜を介してシリコン膜が積層された半導体基板に半導体素子を形成する方法であり、このシリコン膜上に形成された第 1 絶縁膜の開口内壁にエッチング選択比が第 1 絶縁膜とは異なる第 2 絶縁膜を成膜した後、開口から露出しているシリコン膜表面に酸化処理を施して

、この領域のみのシリコン膜を薄膜化する。そして、この開口内にゲート電極となる導電膜を埋め込むように成膜することで、シリコン膜におけるチャネル領域以外の領域の過剰な薄膜化やゲート電極の位置ズレに伴う諸問題が生じることなくゲート電極が形成される。

【 0 0 2 0 】

さらに、第 1 絶縁膜の開口内に導電膜を埋め込むように成膜した後、エッチング選択比の違いによって、第 2 絶縁膜を残存させつつ第 1 絶縁膜を除去する。これにより、側壁に第 2 絶縁膜が設けられた導電膜、所謂、サイドウォールが設けられたゲート電極が形成される。このため、一工程で、ゲート電極を形成すると共に、その側壁のサイドウォールをも形成するができ、工程数が削減されることとなり低コスト化が可能となる。また、導電膜及び第 3 絶縁膜は第 2 絶縁膜に保護されつつ、第 1 絶縁膜を除去するため、エッチング処理の際にゲート酸化膜（第 3 絶縁膜）がダメージを受けず、電気特性の劣化を防止しつつ、ゲート電極が形成される。

【 0 0 2 1 】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。なお、実質的に同様の機能を有するものには、全図面通して同じ符号を付して説明し、場合によってはその説明を省略することがある。

【 0 0 2 2 】

図 1 は、本発明の実施の形態に係る半導体装置の製造方法を説明するための工程図である。

【 0 0 2 3 】

本実施形態では、まず、図 1 (a) に示すように、Box 酸化膜 14（埋め込み酸化膜）を介して、例えば厚さ 250 nm の SOI 膜 16（シリコン膜）が積層された半導体基板 12（以下、SOI 基板 10 という）を用意し、この SOI 膜 16 上に、例えば 300 nm の熱酸化膜 18（第 1 絶縁膜）を成膜し、さらに CVD 法により、熱酸化膜 18 上に熱酸化膜 18 よりも薄い厚さ、例えば 10 nm の窒化膜 20 を成膜する。SOI 膜 16 におけるチャネル領域となる部分が露

出するように、ホトリソグラフィー処理・エッチング処理により、熱酸化膜 1 8 及び窒化膜 2 0 を除去して、開口パターン 2 2 を形成する。

【 0 0 2 4 】

そして、再度、窒化膜を全面に形成し、全面に形成した窒化膜を異方性エッチングによりエッチングを行い、開口パターン 2 2 内壁に、窒化膜からなるサイドウォール 2 4 (第 2 絶縁膜) を形成する。

【 0 0 2 5 】

次に、図 1 (b) に示すように、熱酸化膜 1 8 及び窒化膜 2 0 をマスクとして S O I 膜 1 6 の露出部分を、熱酸化処理を施し、例えば 1 0 0 n m 相当の熱酸化膜 (シリコン酸化膜) 2 6 を形成すると共に、S O I 膜 1 6 のチャネル領域を薄膜化する。これにより、S O I 膜 1 6 は、チャネル領域 (ゲート電極が形成される領域) とそれ以外の領域 (拡散層 : ソース・ドレイン領域) とで、例えば 5 0 n m と 1 0 0 n m といった具合に膜厚の異なるもの、即ち、チャネル領域の膜厚がそれ以外の領域の膜厚よりも薄くなる。この S O I 膜 1 6 のチャネル領域を薄膜化することで、短チャネル効果が抑制される。

【 0 0 2 6 】

次に、図 1 (c) に示すように、例えば 1 % フッ酸を用いたウエットエッチング処理を 1 8 分間施し、熱酸化膜 2 6 を除去して、再び、S O I 膜 1 6 を露出させ、この S O I 膜 1 6 の露出箇所に、熱酸化処理を施し、例えば 1 0 n m のゲート酸化膜 (ゲート絶縁膜 : 第 3 絶縁膜) 2 8 を形成する。S O I 膜 1 6 とゲート酸化膜 2 8 との界面に、イオン注入法により、チャネルイオン、例えば B イオンを注入し、チャネル領域 3 0 を形成する。そして、例えば C V D 法により、開口パターン 2 2 に埋め込むように、全面にポリシリコンを堆積し、ポリシリコン膜 3 2 を例えば 4 0 0 n m 成膜する。

【 0 0 2 7 】

次に、図 1 (d) に示すように、例えば、エッチバック法や C M P (化学的機械的研磨) 法などにより、平滑化すると共に、窒化膜 2 0 上の不要なポリシリコン膜 3 2 を除去して、開口パターン 2 2 内にポリシリコンからなるゲート電極 3 4 が自己整合的に形成されることとなる。ここで、窒化膜 2 0 は、例えば厚さが

10nmと薄膜なので、当該窒化膜20上の不要なポリシリコン膜32と共に除去される。

【0028】

次に、図1(e)に示すように、例えば5%フッ酸を用いたウエットエッチング処理を約10分間施し、熱酸化膜18を除去する。このとき、熱酸化膜18(SiO_2)と窒化膜(SiN)からなるサイドウォール24は、互いに異なるエッチング選択比を有するため、具体的に SiO_2 の方が SiN よりも速いエッチング選択比を有するため、窒化膜(SiN)からなるサイドウォール24を残存させつつ、熱酸化膜18が除去されることとなり、側壁にサイドウォール24が設けられたゲート電極34が形成される。

【0029】

その後、図1(f)に示すように、ゲート電極34周囲のSOI膜16に、ゲート電極34をマスクとして、例えば、注入角度 30° 、50KeV、 $5 \times 10^{15} \text{ ions/cm}^2$ の条件で砒素をイオン注入(不純物注入)した後、例えば1000℃の活性化アニール処理を施して、拡散層としてソース領域36およびドレイン領域38を自己整合的に形成する。次いで、ゲート電極34、ソース領域36、ドレイン領域38の表面に、例えばTiなどをスパッタしてシリサイド化処理を施し、ゲートシリサイド領域34a、ソースシリサイド領域36a、ドレインシリサイド領域38aをそれぞれ形成する。

【0030】

このようにして、SOI基板10に半導体素子としてFD型MOSFETが形成される。

【0031】

このように、本実施形態では、熱酸化膜18の開口パターン22により露出されたSOI膜16に熱酸化処理を施して自己整合的に薄膜化させると共に、この開口パターン22内にポリシリコンを埋め込むように堆積させて自己整合的にゲート電極34形成しているため、ホトリソグラフ露光機の合わせ精度による制約を考慮しなくてもよく、SOI膜16におけるチャネル領域30以外の領域の過剰な薄膜化やゲート電極34の位置ズレが生じることがない。

【 0 0 3 2 】

本実施形態では、熱酸化膜 1 8 の開口パターン 2 2 内壁にサイドウォール 2 4 を形成して、開口パターン 2 2 内にゲート電極 3 4 を形成した後、エッチング選択比の違いによって、サイドウォール 2 4 を残存させつつ熱酸化膜 1 8 を除去し、一工程でゲート電極 3 4 とその側壁のサイドウォール 2 4 を形成している。このため、従来、別途、必要であったサイドウォール 2 4 形成工程を削減することができ、低コスト化が実現される。

【 0 0 3 3 】

また、熱酸化膜 1 8 を除去する際、サイドウォール 2 4 がゲート電極 3 4 及びゲート酸化膜 2 8 を保護する役割も担っており、ゲート酸化膜 2 8 は、エッチング処理によるダメージを受けず、電気特性の劣化が防止される。

【 0 0 3 4 】

本実施形態では、熱酸化膜 1 8 の開口パターン 2 2 内壁に形成するサイドウォール 2 4 として、耐酸化性が高い窒化膜を用いているため、S O I 膜 1 6 の薄膜化やゲート酸化膜 2 8 形成における熱酸化処理を施す際に、S O I 膜 1 6 露出箇所横方向の酸化を抑制させ、下方へ酸化が促進されることとなり、より効果的にチャネル領域以外の S O I 膜領域の過剰な薄膜化が防止される。また、これにより、酸化による寸法変換差が小さくなるため、ほぼ開口パターン 2 2 とほぼ同等の寸法で酸化膜を形成することが可能であり、ゲート電極 3 4 が微細パターンでも寸法精度良く形成され、素子全体の微細化も可能となる。

【 0 0 3 5 】

本実施例では、各酸化処理のマスクとして熱酸化膜 1 8 上にさらに耐酸化性が高い窒化膜 2 0 を形成しているため、開口パターン 2 2 による S O I 膜 1 6 の露出箇所以外の領域の酸化を、より確実に防止している。

【 0 0 3 6 】

なお、上記何れの実施の形態に係る本発明の半導体装置の製造方法においても、限定的に解釈されるものではなく、本発明の要件を満足する範囲内で実現可能であることは、言うまでもない。

【 0 0 3 7 】

【発明の効果】

以上述べてきたように、本発明よれば、少ない工程数で、シリコン膜領域の過剰な薄膜化やゲート電極の位置ズレに伴う諸問題が生じることなく、且つエッチング処理によるゲート酸化膜へのダメージを防止して、ゲート電極を形成することが可能な半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態に係る半導体装置の製造方法を説明するための工程図である。

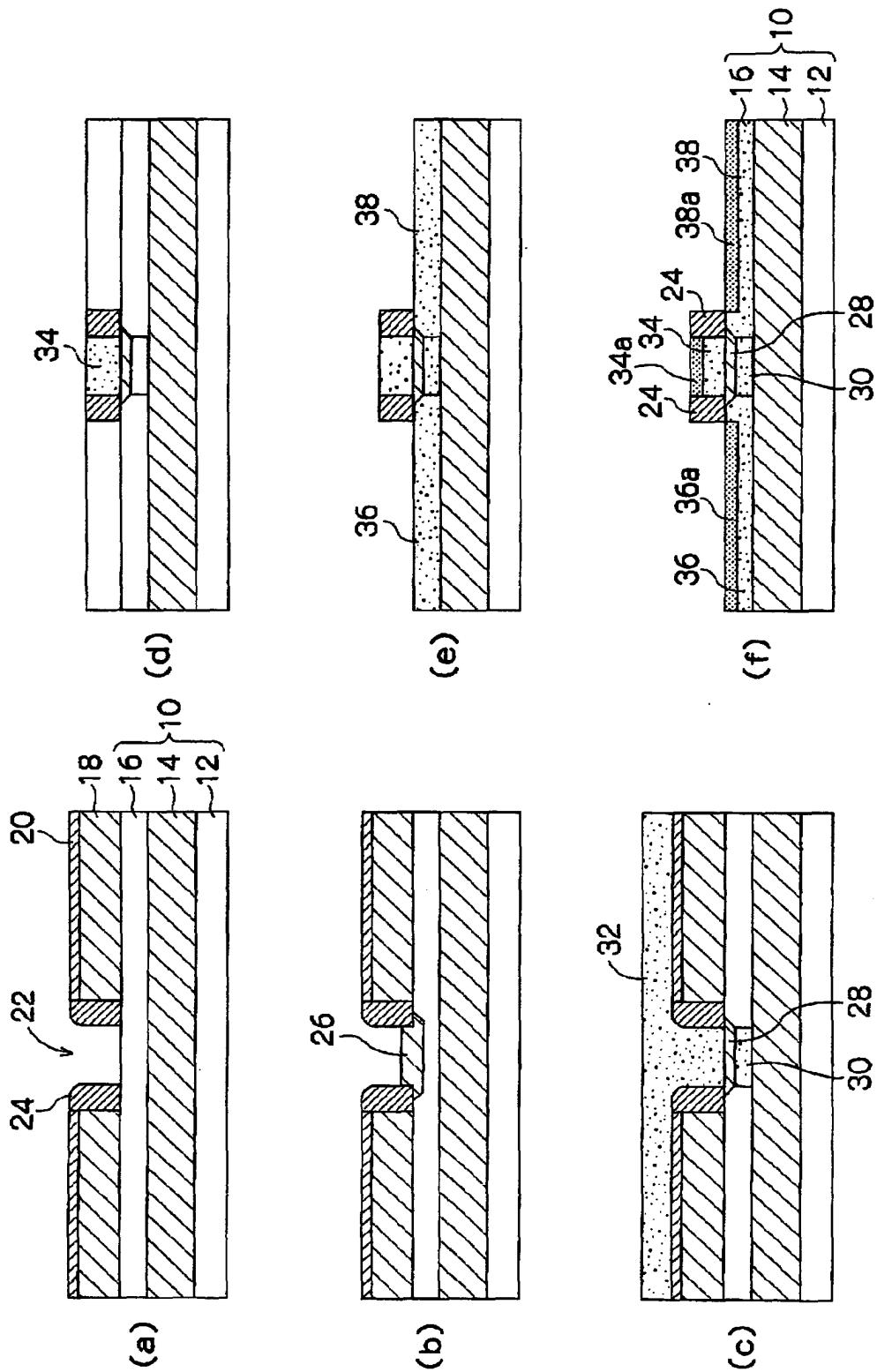
【図 2】 従来の半導体装置の製造方法を説明するための工程図である。

【符号の説明】

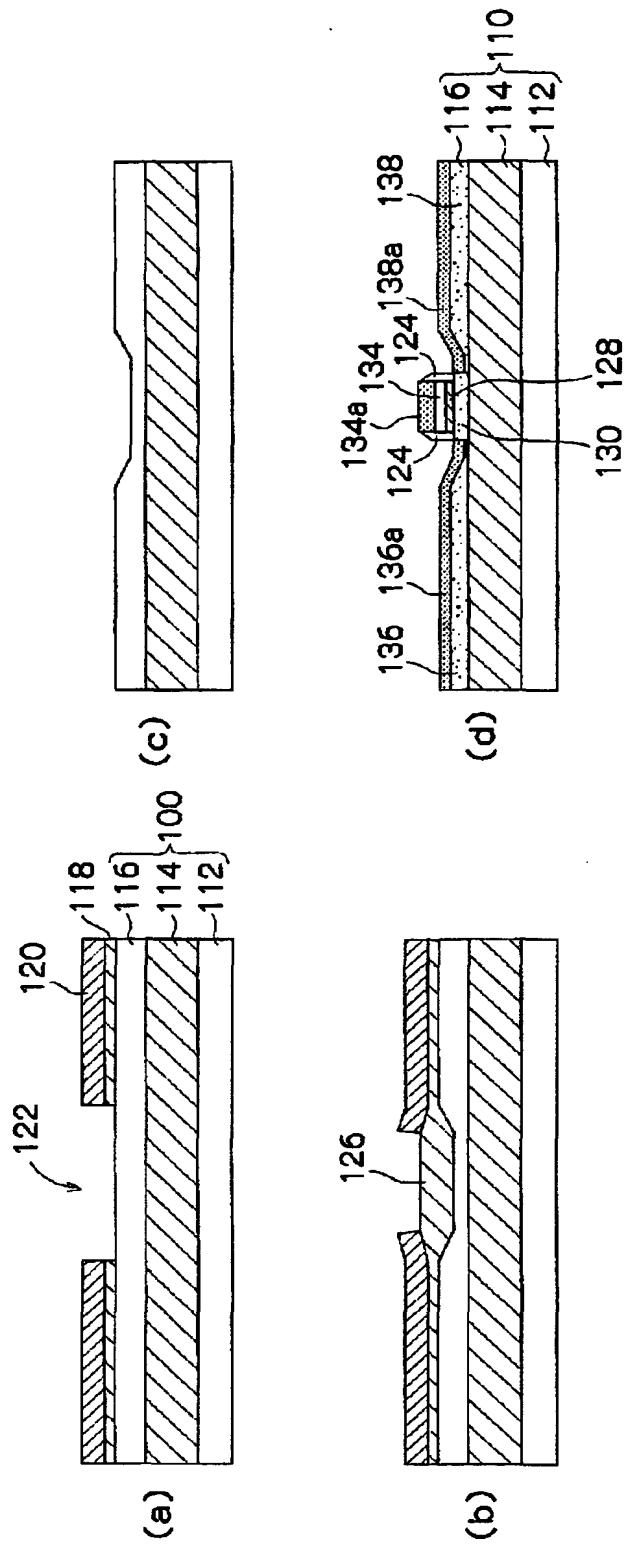
- 1 0 S O I 基板
- 1 2 半導体基板
- 1 4 B O X 酸化膜（埋め込み酸化膜）
- 1 6 S O I 膜（シリコン膜）
- 1 8 熱酸化膜（第 1 絶縁膜）
- 2 0 窒化膜
- 2 2 開口パターン
- 2 4 サイドウォール（第 2 絶縁膜）
- 2 6 熱酸化膜
- 2 8 ゲート酸化膜（第 3 絶縁膜）
- 3 0 チャネル領域
- 3 2 ポリシリコン膜
- 3 4 ゲート電極
- 3 4 a ゲートシリサイド領域
- 3 6 ソース領域
- 3 6 a ソースシリサイド領域
- 3 8 ドレイン領域
- 3 8 a ドレインシリサイド領域

【書類名】 図面

【図 1】



【図2】



【書類名】 要約書

【要約】

【課題】 少ない工程数で、シリコン膜領域の過剰な薄膜化やゲート電極の位置ズレに伴う諸問題が生じることなく、且つエッチング処理によるゲート酸化膜へのダメージを防止して、ゲート電極を形成することが可能な半導体装置の製造方法を提供すること。

【解決手段】 BOX酸化膜14（埋め込み酸化膜）を介してSOI膜16（シリコン膜）が積層された半導体基板12（SOI基板10）を用意し、SOI膜16上に第1絶縁膜として熱酸化膜を成膜した後、第1絶縁膜に開口パターン22を設け、SOI膜16の一部を露出する。続いて、開口パターン22内壁に、エッチング選択比が第1絶縁膜とは異なる第2絶縁膜として窒化膜からなるサイドウォール24を成膜し、開口パターン22から露出しているSOI膜16表面に酸化処理を施し、シリコン酸化膜を形成・除去することでSOI膜16を薄膜化する。そして、開口パターン22内に第3絶縁膜としてゲート酸化膜28を形成して、当該ゲート酸化膜28上に開口パターン22を埋め込むように導電膜としてポリシリコン膜32を形成した後、第1絶縁膜を開口パターン22内壁に形成された第2絶縁膜を残しつつ除去し、ゲート酸化膜28上にサイドウォール24が側壁に設けられたゲート電極34を形成する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 0 2 9 5]

1. 変更年月日 1 9 9 0 年 8 月 2 2 日
[変更理由] 新規登録
住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社